

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshihiro KUSUMI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: METHOD OF MANUFACTURING ELECTRONIC DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. _____ Date Filed _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-033307	February 12, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 2月12日

出 願 番 号
Application Number:

特願2003-033307

[ST.10/C]:

[JP2003-033307]

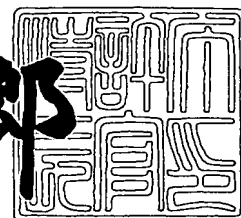
出 願 人
Applicant(s):

三菱電機株式会社

2003年 3月 4日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3013382

【書類名】 特許願

【整理番号】 541275JP01

【提出日】 平成15年 2月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/28

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 楠見 嘉宏

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 松岡 長

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 福井 勝一

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子デバイスの製造方法

【特許請求の範囲】

【請求項1】 (a) 下地上に、Ti原子を含むバリア層を形成する工程と

(b) 前記バリア層上に下部Ti金属層を形成する工程と、

(c) 前記下部Ti金属層上にAlCu層を形成する工程と、

(d) 前記AlCu層上に、Ti原子を含むキャップ層を形成する工程と、

(e) 前記工程(a)～(d)で形成されたAlCu合金配線に熱処理を施すことにより前記AlCu層下部に下部AlTi合金層を形成する工程と、

(f) 熱処理を施された前記AlCu合金配線上に層間絶縁膜を形成する工程と、

(g) 前記層間絶縁膜、前記キャップ層を貫通させ前記AlCu層下部の前記下部AlTi合金層に達するようにビアホールを形成する工程と、

(h) 前記ビアホールの内面に、Ti原子を含むビアホールバリア層を形成する工程と、

(i) 前記ビアホールバリア層内部にプラグ材料を充填しプラグを形成する工程と

を備えることを特徴とする電子デバイスの製造方法。

【請求項2】 (a) 下地上に、Ti原子を含むバリア層を形成する工程と

(b) 前記バリア層上に下部Ti金属層を形成する工程と、

(c) 前記下部Ti金属層上にAlCu層を形成する工程と、

(d) 前記AlCu層上に、Ti原子を含むキャップ層を形成する工程と、

(e) 前記工程(a)～(d)で形成されたAlCu合金配線に熱処理を施すことにより前記AlCu層下部に下部AlTi合金層を形成する工程と、

(f) 熱処理を施された前記AlCu合金配線上に層間絶縁膜を形成する工程と、

(g-1) 前記層間絶縁膜、前記キャップ層を貫通させ前記AlCu層に達す

るようにビアホールを形成する工程と、

(g-2) 前記ビアホールの内面に、ビアホールTi金属層を形成する工程と

(h) 前記ビアホールTi金属層の内面に、Ti原子を含むビアホールバリア層を形成する工程と、

(i) 前記ビアホールバリア層内部にプラグ材料を充填しプラグを形成する工程と

(i-1) 熱処理を施すことにより前記AlCu層と前記ビアホールTi金属層とから前記AlCu層の上部に上部AlTi合金領域を形成する工程とを備えることを特徴とする電子デバイスの製造方法。

【請求項3】 (a) 下地上に、Ti原子を含むバリア層を形成する工程と

(b) 前記バリア層上に下部Ti金属層を形成する工程と、

(c) 前記下部Ti金属層上にAlCu層を形成する工程と、

(d) 前記AlCu層上に、Ti原子を含むキャップ層を形成する工程と、

(e) 前記工程(a)～(d)で形成されたAlCu合金配線に熱処理を施すことにより前記AlCu層下部に下部AlTi合金層を形成する工程と、

(f) 熱処理を施された前記AlCu合金配線上に層間絶縁膜を形成する工程と、

(g-3) 前記層間絶縁膜を貫通させ前記AlCu層に達し且つ配線構造がボーダーレスになるようにビアホールを形成する工程と、

(g-4) 前記ビアホールの内面に、ビアホールTi金属層を形成する工程と

(h) 前記ビアホールTi金属層の内面に、Ti原子を含むビアホールバリア層を形成する工程と、

(i) 前記ビアホールバリア層内部にプラグ材料を充填しプラグを形成する工程と、

(i-2) 熱処理を施すことにより前記AlCu層と前記ビアホールTi金属層とから前記AlCu層の側部に側部AlTi合金領域を形成する工程と

を備えることを特徴とする電子デバイスの製造方法。

【請求項4】 (a) 下地上に、Ti原子を含むバリア層を形成する工程と

(b) 前記バリア層上に下部Ti金属層を形成する工程と、

(c) 前記下部Ti金属層上にAlCu層を形成する工程と、

(c-1) 前記AlCu層上に上部Ti金属層を形成する工程と、

(d-1) 上部Ti金属層上に、Ti原子を含むキャップ層を形成する工程と

(e-1) 前記工程(a)～(d-1)で形成されたAlCu合金配線に熱処理を施すことにより、前記AlCu層上部と下部とに、上部AlTi合金層と下部AlTi合金層とをそれぞれ形成する工程と、

(f) 熱処理を施された前記AlCu合金配線上に層間絶縁膜を形成する工程と、

(g-5) 前記層間絶縁膜を貫通させ、前記キャップ層に達するようにビアホールを形成する工程と、

(h) 前記ビアホールの内面に、Ti原子を含むビアホールバリア層を形成する工程と、

(i) 前記ビアホールバリア層内部にプラグ材料を充填しプラグを形成する工程と

を備えることを特徴とする電子デバイスの製造方法。

【請求項5】 請求項2に記載の電子デバイスの製造方法であって、前記工程(i)と前記工程(i-1)とが、同一の工程において行われることを特徴とする電子デバイスの製造方法。

【請求項6】 請求項3に記載の電子デバイスの製造方法であって、前記工程(i)と前記工程(i-2)とが、同一の工程において行われることを特徴とする電子デバイスの製造方法。

【請求項7】 請求項1乃至請求項6のいずれかに記載の電子デバイスの製造方法であって、

前記工程(e)又は(e-1)が、前記AlCu層および前記キャップ層にN

2 雰囲気中での 4 0 0 ~ 4 5 0 ° C での熱処理を 1 5 ~ 3 0 分施す工程
を備えることを特徴とする電子デバイスの製造方法。

【請求項 8】 請求項 1 乃至請求項 4 のいずれかに記載の電子デバイスの製造方法であって、

前記下部 A l T i 合金層の厚みが、前記 A l C u 層の厚みの 1 / 4 以上になるように形成されることを特徴とする電子デバイスの製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、電子デバイスの製造方法に関し、特に、多層配線構造を有する電子デバイスの製造方法に関する。

【 0 0 0 2 】

【従来の技術】

近年、半導体素子の高集積化に伴い、多層配線構造における微細化が必須となり、A l 合金配線においても、エレクトロマイグレーション耐性に優れた微細配線が要求されている。このような要求に応えるための従来の A l 合金を用いた多層配線構造について、以下に説明する。

【 0 0 0 3 】

まず基板上に下地酸化膜を形成する。次に、下地酸化膜の上に、1 0 n m の T i N バリア層、1 0 n m の T i 金属層、2 5 0 n m の A l C u 層、6 0 n m の T i N キャップ層の順にスパッタ法により形成することにより、A l C u 合金配線を形成する。

【 0 0 0 4 】

次に、写真製版処理によりレジストマスクを形成し、ドライエッチングにより所望の形状に A l C u 合金配線をパターンニングする。

【 0 0 0 5 】

次に、4 0 0 ° C で 1 5 分程度の熱処理を行うことにより、A l C u 層の A l と T i 金属層の T i とから、A l C u 層の下部に下部 A l T i 合金層を形成する。

【 0 0 0 6 】

次に、TiNキャップ層の上即ちAlCu合金配線の上に、層間絶縁膜を形成する。

【0007】

次に、層間絶縁膜にビアホールを形成する。このビアホールは、その底面がTiNキャップ層の上もしくはTiNキャップ層の中にあるような深さに形成される。次に、ビアホールの内面に、膜厚が70nmのビアホールTiNバリア層をスパッタ法により形成する。

【0008】

次に、CVD (Chemical Vapor Deposition) 法によりビアホール内部へプラグ材料としてのWのデポジションを行い、ビアホールを充填する。

【0009】

次に、層間絶縁膜上に堆積したTiNおよびWをCMP (Chemical and Mechanical Polishing) 法等により除去し、Wプラグを形成する。

【0010】

以上の手順を繰り返しAlCu合金配線と層間絶縁膜とを積み重ねて形成していくことにより、AlCu合金多層配線構造が形成される。このような多層配線構造を有する電子デバイスの例は、例えば、特許文献1に示されている。

【0011】

【特許文献1】

特開2000-114376号公報

【0012】

【発明が解決しようとする課題】

従来の多層配線構造は、以上のような構造であったため、AlCu層の実効膜厚が薄くなり、エレクトロマイグレーション耐性が低下してしまうという問題点があった。すなわち、ビアホールからAlCu合金配線に流れ込む電子は、抵抗の低いAlCu層に選択的に流れ込むが、AlCu層は実効膜厚が薄くなっているため、ビアホール近傍のAlCu層でまずエレクトロマイグレーションが発生

する。そのため、今度は電子が選択的にTiNキャップ層に流れ込み発熱と抵抗上昇が発生し、ビアホール近傍のTiNキャップ層が溶失し断線に至ってしまうという問題点があった。

【0013】

また、特許文献1には、WプラグがTiNキャップ層を貫通してTiNキャップ層下部のAlCu層と接触することにより、エレクトロマイグレーション耐性を高めた電子デバイスの製造方法が開示されている。しかし、特許文献1に記載された製造方法においては、層間絶縁膜を形成するときの温度の上昇に伴いAlCu層に楔状の欠損が発生し、断線を引き起こしてしまう場合があるという問題点があった。

【0014】

本発明は以上の問題点を解決するためになされたものであり、AlCu層に欠損を発生させることなくエレクトロマイグレーション耐性を高めた電子デバイスの製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】

請求項1に記載の発明に係る電子デバイスの製造方法は、(a)下地上に、Ti原子を含むバリア層を形成する工程と、(b)前記バリア層上に下部Ti金属層を形成する工程と、(c)前記下部Ti金属層上にAlCu層を形成する工程と、(d)前記AlCu層上に、Ti原子を含むキャップ層を形成する工程と、(e)前記工程(a)～(d)で形成されたAlCu合金配線に熱処理を施すことにより前記AlCu層下部に下部AlTi合金層を形成する工程と、(f)熱処理を施された前記AlCu合金配線上に層間絶縁膜を形成する工程と、(g)前記層間絶縁膜、前記キャップ層を貫通させ前記AlCu層下部の前記下部AlTi合金層に達するようにビアホールを形成する工程と、(h)前記ビアホールの内面に、Ti原子を含むビアホールバリア層を形成する工程と、(i)前記ビアホールバリア層内部にプラグ材料を充填しプラグを形成する工程とを備えることを特徴とする。

【0016】

請求項2に記載の発明に係る電子デバイスの製造方法は、(a)下地上に、Ti原子を含むバリア層を形成する工程と、(b)前記バリア層上に下部Ti金属層を形成する工程と、(c)前記下部Ti金属層上にAlCu層を形成する工程と、(d)前記AlCu層上に、Ti原子を含むキャップ層を形成する工程と、(e)前記工程(a)～(d)で形成されたAlCu合金配線に熱処理を施すことにより前記AlCu層下部に下部AlTi合金層を形成する工程と、(f)熱処理を施された前記AlCu合金配線上に層間絶縁膜を形成する工程と、(g-1)前記層間絶縁膜、前記キャップ層を貫通させ前記AlCu層に達するようにビアホールを形成する工程と、(g-2)前記ビアホールの内面に、ビアホールTi金属層を形成する工程と、(h)前記ビアホールTi金属層の内面に、Ti原子を含むビアホールバリア層を形成する工程と、(i)前記ビアホールバリア層内部にプラグ材料を充填しプラグを形成する工程と(i-1)熱処理を施すことにより前記AlCu層と前記ビアホールTi金属層とから前記AlCu層の上部に上部AlTi合金領域を形成する工程とを備えることを特徴とする。

【0017】

請求項3に記載の発明に係る電子デバイスの製造方法は、(a)下地上に、Ti原子を含むバリア層を形成する工程と、(b)前記バリア層上に下部Ti金属層を形成する工程と、(c)前記下部Ti金属層上にAlCu層を形成する工程と、(d)前記AlCu層上に、Ti原子を含むキャップ層を形成する工程と、(e)前記工程(a)～(d)で形成されたAlCu合金配線に熱処理を施すことにより前記AlCu層下部に下部AlTi合金層を形成する工程と、(f)熱処理を施された前記AlCu合金配線上に層間絶縁膜を形成する工程と、(g-3)前記層間絶縁膜を貫通させ前記AlCu層に達し且つ配線構造がボーダーレスになるようにビアホールを形成する工程と、(g-4)前記ビアホールの内面に、ビアホールTi金属層を形成する工程と、(h)前記ビアホールTi金属層の内面に、Ti原子を含むビアホールバリア層を形成する工程と、(i)前記ビアホールバリア層内部にプラグ材料を充填しプラグを形成する工程と、(i-2)熱処理を施すことにより前記AlCu層と前記ビアホールTi金属層とから前記AlCu層の側部に側部AlTi合金領域を形成する工程とを備えることを特

徴とする。

【0018】

請求項4に記載の発明に係る電子デバイスの製造方法は、(a)下地上に、Ti原子を含むバリア層を形成する工程と、(b)前記バリア層上に下部Ti金属層を形成する工程と、(c)前記下部Ti金属層上にAlCu層を形成する工程と、(c-1)前記AlCu層上に上部Ti金属層を形成する工程と、(d-1)上部Ti金属層上に、Ti原子を含むキャップ層を形成する工程と、(e-1)前記工程(a)～(d-1)で形成されたAlCu合金配線に熱処理を施すことにより、前記AlCu層上部と下部とに、上部AlTi合金層と下部AlTi合金層とをそれぞれ形成する工程と、(f)熱処理を施された前記AlCu合金配線上に層間絶縁膜を形成する工程と、(g-5)前記層間絶縁膜を貫通させ、前記キャップ層に達するようにビアホールを形成する工程と、(h)前記ビアホールの内面に、Ti原子を含むビアホールバリア層を形成する工程と、(i)前記ビアホールバリア層内部にプラグ材料を充填しプラグを形成する工程とを備えることを特徴とする。

【0019】

【発明の実施の形態】

＜実施の形態1＞

図1は、本発明の実施の形態1に係る電子デバイスにおけるAlCu合金配線100を示す図である。

【0020】

まず、図2に示すように、例えば素子が形成された半導体基板（図示しない）とその上に形成された下部絶縁膜としてのプラズマ酸化膜（図示しない）とを備える下地上に、約10nmのTiNバリア層110、約10nmの下部Ti金属層120、約250nmのAlCu130a層、約60nmのTiNキャップ層140の順にスパッタ法により形成することにより、AlCu合金配線100aを形成する。

【0021】

次に、写真製版処理によりレジストマスクを形成し、ドライエッチングにより

所望の形状にAlCu合金配線100をパターンニングする。このとき、レジストマスクとしては、膜厚が約650nmであるKrFレジストを用いてもよい。またドライエッチングは、 Cl_2/BCl_3 の混合ガスを用いたプラズマによる異方性エッチングを行ってもよい。

【0022】

次に、約400℃で15分程度の N_2 シンタリングによる熱処理を行うことにより、AlCu層130aのAlと下部Ti金属層120のTiとから、AlCu層130aの下部に下部AlTi合金層150を形成する。ここで、図1に示されるように下部AlTi合金層150の上面は平らではないが、この面をならしてできる平面と下部AlTi合金層150の底面との距離を下部AlTi合金層150の膜厚とする。また同様に、AlCu層130の底面は平らではないが、この面をならしてできる平面とAlCu層130の上面との距離をAlCu層130の膜厚とする。このとき、下部AlTi合金層150の膜厚は、およそ50～150nmの膜厚に形成される。またAlCu層130の膜厚は、AlCu層130aの膜厚に比べ、およそ100～200nmに減少する。

【0023】

次に、TiNキャップ層140の上即ちAlCu合金配線100aの上に、HDP (High Density Plasma) 等のプラズマCVD法を用いて酸化膜を形成した後に、この酸化膜をCMPにより平坦化し、膜厚が約750nmである層間絶縁膜160を形成する。

【0024】

次に、層間絶縁膜160上に、KrFレジスト（図示しない）を膜厚が約650nmになるように塗布する。塗布されたKrFレジストに写真製版処理を行うことにより、径が $\phi 0.20\mu m$ 程度のビアホールレジストマスク（図示しない）を形成する。その後にドライエッチングを行うことにより、層間絶縁膜160に、図1に示すようなビアホール170を形成する。このビアホール170は、TiNキャップ層140およびAlCu層130を貫通して、下部AlTi合金層150に達している。またドライエッチングとしては、 $C_5F_8/O_2/Ar/CO$ の混合ガスを用いたプラズマによる異方性エッチングを行ってもよい。

【0025】

次に、ビアホール170の内面に、膜厚が約70nmのビアホールTiNバリア層180をスパッタ法により形成する。

【0026】

次に、CVD法によりビアホール170内部へプラグ材料としてのWのデポジションを行い、ビアホール170を充填する。

【0027】

次に、層間絶縁膜160上に堆積したTiNおよびWをCMP法等により除去し、Wプラグ190を形成することにより、AlCu合金配線100が形成される。

【0028】

以上の手順を繰り返しAlCu合金配線100と層間絶縁膜160とを積み重ねて形成していくことにより、AlCu合金多層配線構造（図示しない）が形成される。

【0029】

動作において、ビアホール170からAlCu合金配線100に流れ込む電子は、比抵抗が約 $3\mu\Omega/\text{cm}^2$ と小さいAlCu層130に選択的に流れ込むため、ビアホール170近傍のAlCu層130でまずエレクトロマイグレーションが発生する。しかし、この構造においては、ビアホール170から、AlCu層130を介さずに下部AlTi合金層150に達する電流パスが確保されている。従って、その後は、電子は、比抵抗が約 $30\mu\Omega/\text{cm}^2$ とAlCu層130の次に小さい下部AlTi合金層150に流れ込むため、断線は発生しない。

【0030】

また、層間絶縁膜160を形成する前に、熱処理により下部AlTi合金層150の形成を行っているので、層間絶縁膜160を形成するときにAlCu層130に欠損が発生しない。この理由は、次のように考えられる。

【0031】

まず、下部AlTi合金層150は、AlCu層130や下部Ti金属層120に比較して、熱膨張が小さいと考えられる。従って、層間絶縁膜160を形成

する前に熱処理が行われた場合には、AlCu層130と下部Ti金属層120とは、下部AlTi合金層150を形成することにより、体積の変化を抑えることができる。一方、熱処理による下部AlTi合金層150の形成を行わずに層間絶縁膜160を形成した場合について説明する。層間絶縁膜160を形成するときには温度は約400℃にまで上昇するため、AlCu合金配線100の体積は膨張する。このとき、AlCu層130と下部Ti金属層120とは、下部AlTi合金層150を形成することにより、体積の変化を抑えようとする。しかし、下部AlTi合金層150が十分に形成されていない状態で、酸化膜が堆積されるので、AlCu合金配線100の側壁近傍部分の体積が局部的に膨張した状態で固定されてしまう。そのため、この状態で温度を下降させたとき、AlCu合金配線100の側壁近傍部分の体積が収縮し、楔状の欠損が発生してしまうと考えられる。

【0032】

実験の結果、形成される下部AlTi合金層150の膜厚が、下部AlTi合金層150の形成により膜厚が減少した後のAlCu層130の膜厚の約1/4以上である場合に、AlCu層130の欠損を防ぐことができることが分かっている。また、N₂シンタリングによる熱処理が、処理時間が400～450℃、温度が15～30分の範囲である場合に、減少した後のAlCu層130の膜厚の約1/4以上の膜厚を有する下部AlTi合金層150を形成できることが分かっている。

【0033】

このように、本実施の形態にかかる電子デバイスの製造方法においては、ビアホール170から、AlCu層130を介さずに下部AlTi合金層150に達する電流パスが確保されているため、エレクトロマイグレーション耐性を高くすることができる。また、層間絶縁膜160を形成する前に、熱処理により下部AlTi合金層150の形成を行っているので、層間絶縁膜160を形成するときのAlCu層130の欠損を防ぐことができる。

【0034】

本発明を適用できる電子デバイスの例としては、DRAMやSRAM等の半導

体装置や、液晶装置や、磁気ヘッド等が挙げられる。

【0035】

<実施の形態2>

図3は、本発明の実施の形態2に係る電子デバイスにおけるAlCu合金配線200を示す図である。図3において、図1と同様の要素については同一の符号を付してしてあるので、それらのここでの詳細な説明は省略する。

【0036】

まず、実施の形態1と同様の工程により、層間絶縁膜160の形成までを行う。

【0037】

次に、層間絶縁膜160上に、KrFレジスト（図示しない）等を膜厚が約600nmになるように塗布する。塗布されたKrFレジスト上に、写真製版処理を行うことにより、径が $\phi 0.20\mu\text{m}$ 程度のビアホールレジストマスク（図示しない）を形成する。その後にドライエッチングを行うことにより、層間絶縁膜160に、ビアホール210を形成する。このビアホール210は、TiNキャップ層140を貫通してAlCu層130に達しAlCu層130の途中で止まっている。

【0038】

次に、ビアホール210の内面に、膜厚が約30nmのビアホールTi金属層220と、膜厚が約50nmのビアホールTiNバリア層180とを、スパッタ法により形成する。

【0039】

次に、CVD法によりビアホール210内部へプラグ材料としてのWのデポジションを行い、ビアホール210を充填する。このCVDは、約430℃で行われる。このとき、ビアホール210の底面近傍において、AlCu層130上部のAlとビアホールTi金属層220のTiとが反応することにより、上部AlTi合金領域230が形成される。この上部AlTi合金領域230は、その下部が下部AlTi合金層150に達している。

【0040】

次に、層間絶縁膜160上に堆積したTiNおよびWをCMP法等により除去し、Wプラグ190を形成することにより、AlCu合金配線200が形成される。

【0041】

以上の工程を繰り返しAlCu合金配線200と層間絶縁膜160とを積み重ねて形成していくことにより、AlCu合金多層配線構造（図示しない）が形成される。

【0042】

このように、本実施の形態にかかる電子デバイスの製造方法においては、ビアホール210の深さが浅い分だけエッチング量を減らすことができるため、実施の形態1の効果に加えて、レジストの膜厚を薄くすることができ写真製版の精度が向上するという効果を有する。

【0043】

<実施の形態3>

図4は、本発明の実施の形態3に係る電子デバイスにおけるAlCu合金配線300を示す図である。図4において、図1、3と同様の要素については同一の符号を付してしてあるので、それらのここでの詳細な説明は省略する。

【0044】

まず、実施の形態1と同様の工程により、層間絶縁膜160の形成までを行う。

【0045】

次に、層間絶縁膜160上に、KrFレジスト（図示しない）等を膜厚が約565nmになるように塗布する。塗布されたKrFレジスト上に、写真製版処理を行うことにより、径が $\phi 0.20\mu\text{m}$ 程度のビアホールレジストマスク（図示しない）を形成する。このビアホールレジストマスクは、エッチングにより形成されるビアホール310がAlCu合金配線100に対してボーダーレス構造になるような位置に形成される。そしてドライエッチングを行うことにより、層間絶縁膜160に、ビアホール310を形成する。このビアホール310は、AlCu合金配線100の側面に接触しており、その底面がAlCu層130の底面

付近になるような深さに達している。

【0046】

次に、ビアホール310の内面に、膜厚が約20nmのビアホールTi金属層220と、膜厚が約50nmのビアホールTiNバリア層180とを、スパッタ法により形成する。

【0047】

次に、CVD法によりビアホール310内部へプラグ材料としてのWのデポジションを行い、ビアホール310を充填する。このCVDは、約430℃で行われる。このとき、AlCu合金配線300と接触する、ビアホール310の側面近傍において、AlCu層130側部のAlとビアホールTi金属層220のTiとが反応することにより、側部AlTi合金領域320が形成される。この側部AlTi合金領域320は、その下部が下部AlTi合金層150に達している。

【0048】

次に、層間絶縁膜160上に堆積したTiNおよびWをCMP法等により除去し、Wプラグ190を形成することにより、AlCu合金配線300が形成される。

【0049】

以上の工程を繰り返しAlCu合金配線300と層間絶縁膜160とを積み重ねて形成していくことにより、AlCu合金多層配線構造（図示しない）が形成される。

【0050】

このように、本実施の形態にかかる電子デバイスの製造方法においては、ビアホール310は、AlCu合金配線100の側面に接触しているため、実施の形態1の効果に加えて、ビアホールTi金属層220に含まれるTiが少ない場合にも、形成される側部AlTi合金領域320が確実に下部AlTi金属層150に達することができるという効果を有する。従って、スループットを向上させることができる。

【0051】

＜実施の形態4＞

図5は、本発明の実施の形態4に係る電子デバイスにおけるAlCu合金配線400を示す図である。図5、6において、図1、2と同様の要素については同一の符号を付してしてあるので、それらのここでの詳細な説明は省略する。

【0052】

まず、図6に示すように、例えば素子が形成された半導体基板（図示しない）とその上に形成された下部絶縁膜としてのプラズマ酸化膜（図示しない）とを備える下地上に、約10nmのTiNバリア層110、約10nmの下部Ti金属層120、約250nmのAlCu層130a、約20nmの上部Ti金属層410、約40nmのTiNキャップ層140の順にスパッタ法により形成することにより、AlCu合金配線400aを形成する。

【0053】

次に、写真製版処理によりレジストマスクを形成し、ドライエッチングにより所望の形状にAlCu合金配線100をパターンニングする。このとき、レジストマスクとしては、膜厚が約650nmであるKrFレジストを用いてもよい。またドライエッチングは、 Cl_2/BCl_3 の混合ガスを用いたプラズマによる異方性エッチングを行ってもよい。

【0054】

次に、約400℃で15分程度の N_2 シンタリングによる熱処理を行うことにより、AlCu層130のAlと下部Ti金属層120のTiとから、AlCu層130aの下部に下部AlTi合金層150を形成する。このとき、下部AlTi合金層150の膜厚は、およそ50～150nmの膜厚に形成される。また同時に、AlCu層130aのAlと上部Ti金属層410のTiとからも、AlCu層130aの上部に上部AlTi合金層420が形成される。このとき、上部AlTi合金層410の膜厚は、およそ100～200nmの膜厚に形成される。従って、多くの箇所では下部AlTi合金層150と上部AlTi合金層420とが接触する状態になる。

【0055】

次に、TiNキャップ層140の上即ちAlCu合金配線400aの上に、H

D P等のプラズマCVD法を用いて酸化膜を形成した後に、この酸化膜をCMPにより平坦化し、膜厚が約750nmである層間絶縁膜160を形成する。

【0056】

次に、層間絶縁膜160上に、KrFレジスト（図示しない）を膜厚が約565nmになるように塗布する。塗布されたKrFレジストに写真製版処理を行うことにより、径が $\phi 0.20\mu\text{m}$ 程度のビアホールレジストマスク（図示しない）を形成する。その後にドライエッチングを行うことにより、層間絶縁膜160に、図5に示すようなビアホール170を形成する。このビアホール170は、TiNキャップ層140を貫通する必要はなく、その底面がTiNキャップ層140に達しその上もしくはその中にあるような深さに形成されておればよい。またドライエッチングとしては、 $\text{C}_5\text{F}_8/\text{O}_2/\text{Ar}/\text{CO}$ の混合ガスを用いたプラズマによる異方性エッチングを行ってもよい。

【0057】

次に、ビアホール170の内面に、膜厚が約70nmのビアホールTiNバリア層180をスパッタ法により形成する。

【0058】

次に、CVD法により、ビアホール170内部へプラグ材料としてのWのデポジションを行い、ビアホール170を充填する。

【0059】

次に、層間絶縁膜160上に堆積したTiNおよびWをCMP法等により除去し、Wプラグ190を形成することにより、AlCu合金配線400が形成される。

【0060】

以上の工程を繰り返しAlCu合金配線400と層間絶縁膜160とを積み重ねて形成していくことにより、AlCu合金多層配線構造（図示しない）が形成される。

【0061】

このように、本実施の形態にかかる電子デバイスの製造方法においては、ビアホール170がTiNキャップ層140を貫通する必要はなく、その底面がTi

Nキャップ層140に達しその上もしくはその中にあるような深さに形成されておればよい。よって、層間絶縁膜160の膜厚が大きい場合にも、エッチング量を増やす必要がない。従って、実施の形態1の効果に加えて、CMP法等による層間絶縁膜160の膜厚のばらつきに対するビアホール170の深さのマージンを大きくすることができるという効果を有する。

【0062】

【発明の効果】

以上、説明したように、請求項1に記載の発明に係る電子デバイスの製造方法においては、ビアホールから、AlCu層を介さずに下部AlTi合金層に達する電流パスが確保されているため、エレクトロマイグレーション耐性を高くすることができる。また、層間絶縁膜を形成する前に、熱処理により下部AlTi合金層の形成を行っているので、層間絶縁膜を形成するときのAlCu層の欠損を防ぐことができる。

【0063】

また、請求項2に記載の発明に係る電子デバイスの製造方法においては、ビアホールは、TiNキャップ層を貫通してAlCu層に達しAlCu層の途中で止まっている。従ってビアホールの深さが浅い分だけエッチング量を減らすことができるため、請求項1に記載の発明に係る電子デバイスの製造方法の効果に加えて、レジストの膜厚を薄くすることができ写真製版の精度が向上させることができるという効果を有する。

【0064】

また、請求項3に記載の発明に係る電子デバイスの製造方法においては、ビアホールは、AlCu合金配線の側面に接触しているため、ビアホールTi金属層に含まれるTiが少ない場合にも、形成される側部AlTi合金領域が確実に下部AlTi金属層に達することができる。従って、請求項1に記載の発明に係る電子デバイスの製造方法の効果に加えて、スループットを向上させることができるという効果を有する。

【0065】

また、請求項4に記載の発明に係る電子デバイスの製造方法においては、ビア

ホールの底面がTiNキャップ層に達しその上もしくはその中にあるような深さに形成されておればよい。従って、請求項1に記載の発明に係る電子デバイスの製造方法の効果に加えて、CMP法等による層間絶縁膜の膜厚のばらつきに対するビアホールの深さのマージンを大きくすることができるという効果を有する。

【図面の簡単な説明】

【図1】 実施の形態1に係る電子デバイスにおけるAlCu合金配線100を示す図である。

【図2】 実施の形態1に係る電子デバイスにおけるAlCu合金配線100aを示す図である。

【図3】 実施の形態2に係る電子デバイスにおけるAlCu合金配線200を示す図である。

【図4】 実施の形態3に係る電子デバイスにおけるAlCu合金配線300を示す図である。

【図5】 実施の形態4に係る電子デバイスにおけるAlCu合金配線400を示す図である。

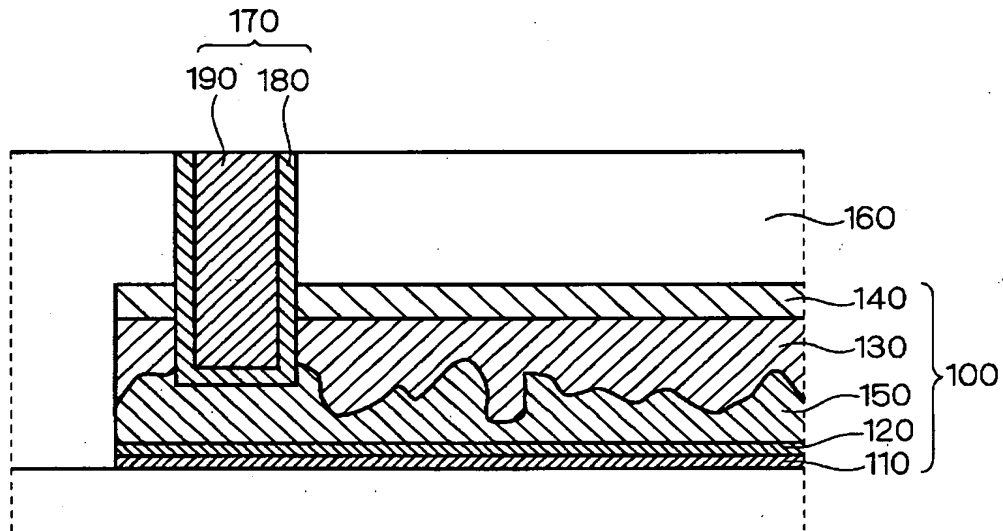
【図6】 実施の形態4に係る電子デバイスにおけるAlCu合金配線400aを示す図である。

【符号の説明】

100, 100a, 200, 300, 400, 400a AlCu合金配線、
110 TiNバリア層、120 下部Ti金属層、130, 130a AlCu層、140 TiNキャップ層、150 下部AlTi合金層、160 層間絶縁膜、170, 210, 310 ビアホール、180 ビアホールTiNバリア層、190 Wプラグ、220 ビアホールTi金属層、230 上部AlTi合金領域、320 側部AlTi合金領域、410 上部Ti金属層、420 上部AlTi合金層。

【書類名】 図面

【図 1】



100: AlCu合金配線

110: TiNバリア層

120: 下部TiN層

130: AlCu層

140: TiNキャップ層

150: 下部AlTi合金層

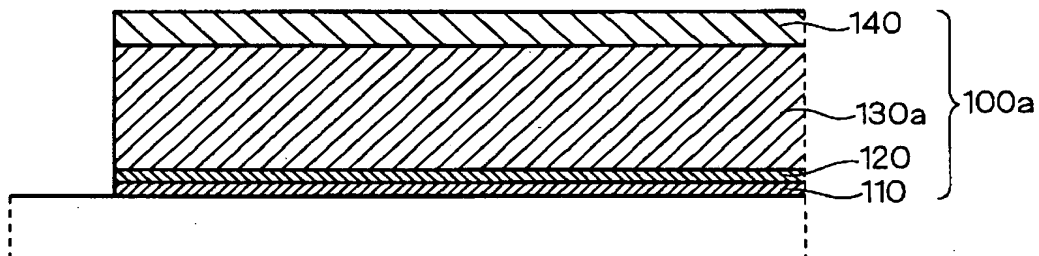
160: 層間絶縁膜

170: ビアホール

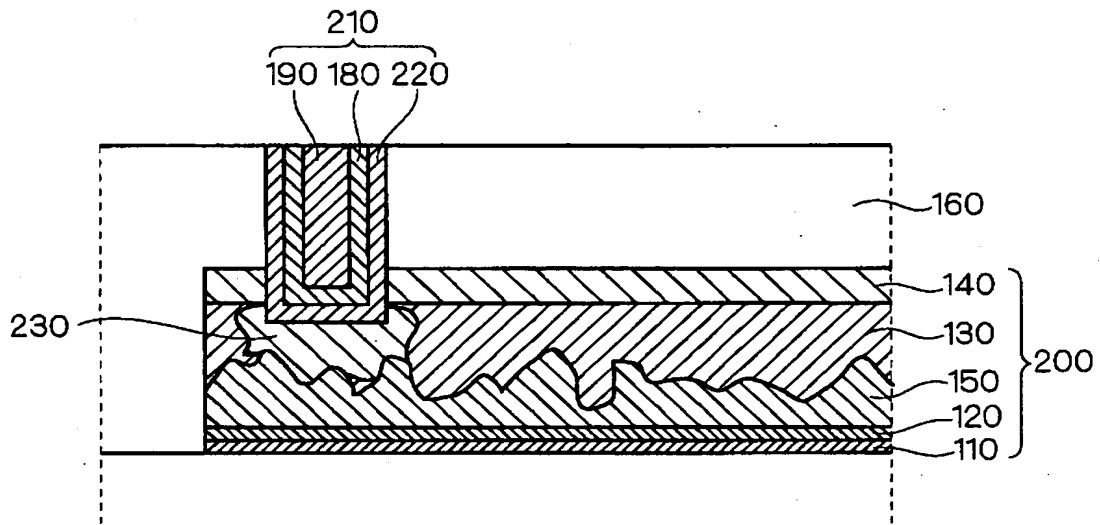
180: ビアホールTiNバリア層

190: Wプラグ

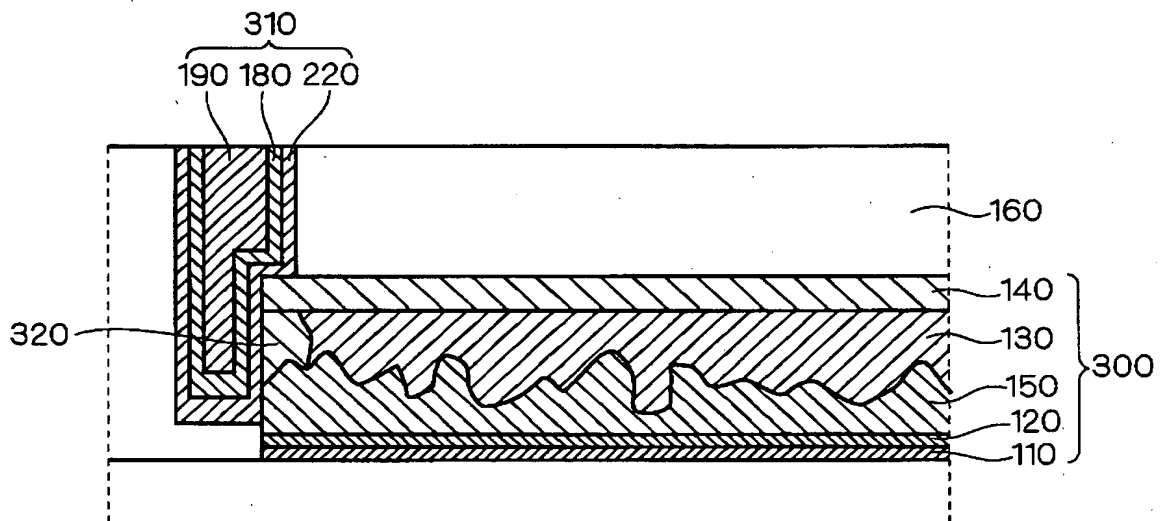
【図 2】



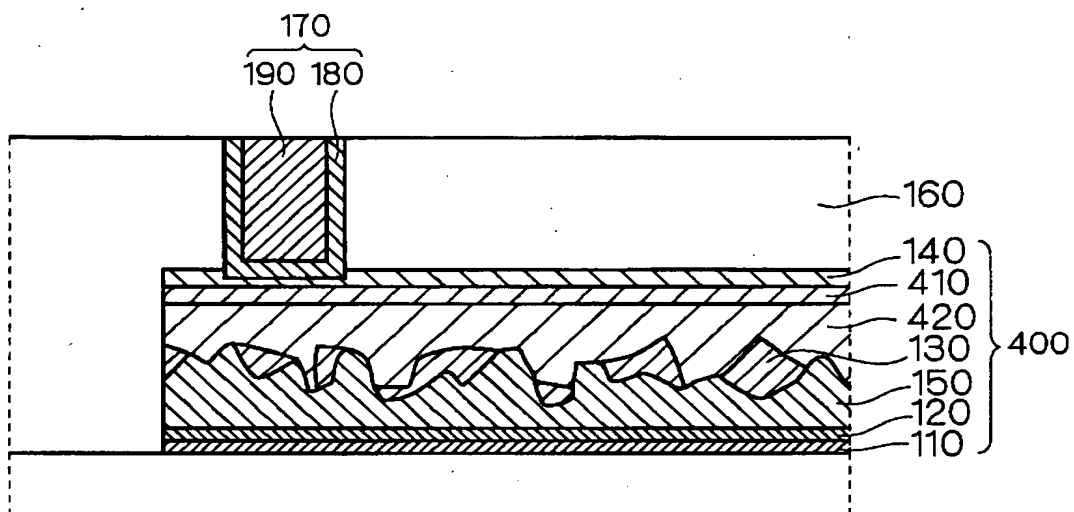
【図 3】



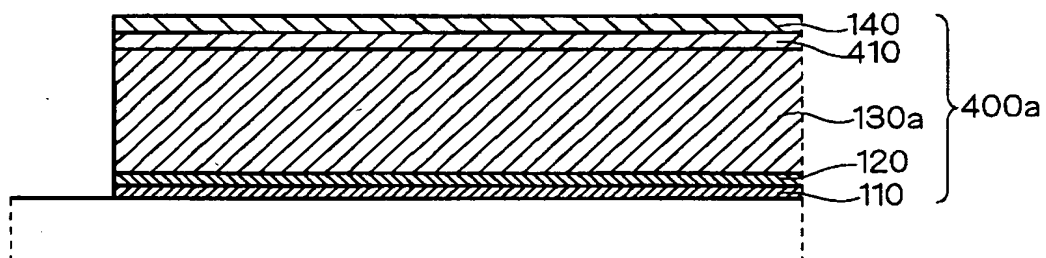
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 AlCu層に欠損を発生させることなくエレクトロマイグレーション耐性を高めた電子デバイスの製造方法を提供する。

【解決手段】 素子が形成された半導体基板上に形成されたプラズマ酸化膜上に、TiNバリア層110、下部Ti金属層120、AlCu130層、TiNキャップ層140からなるAlCu合金配線100を形成する。熱処理を行うことにより、AlCu層130のAlと下部Ti金属層120のTiとから、AlCu層130の下部に下部AlTi合金層150を形成し、その後にビアホール170を形成する。ビアホール170から、AlCu層130を介さずに下部AlTi合金層150に達する電流パスが確保されているため、エレクトロマイグレーション耐性を高くすることができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社